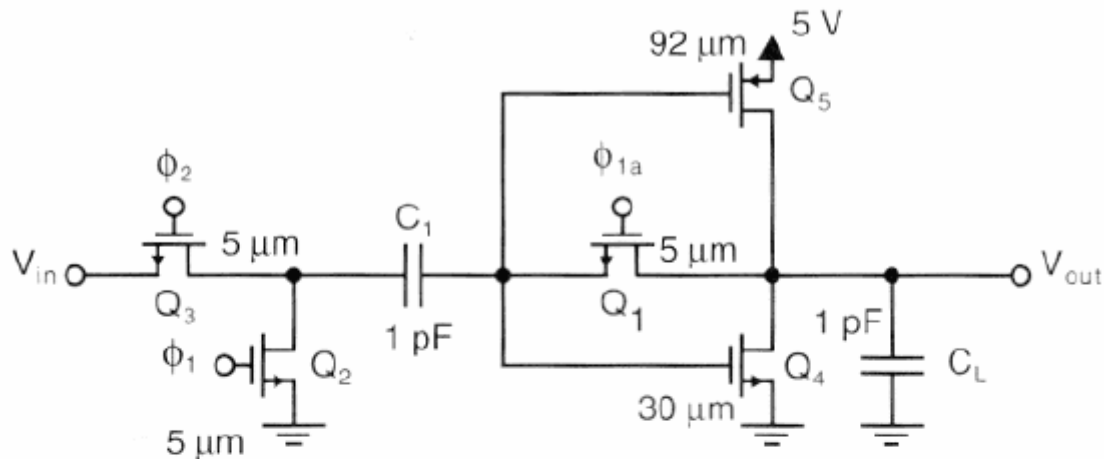


TFE 4200 Analog Integrated Circuits

Problem sheet #9

Oppgave 1



En enkel CMOS inverter brukes som komparator, slik som vist i figuren over. Anta at ϕ_{1a} går lav før ϕ_1 , slik at det bare er nødvendig å betrakte ladningsinjeksjonen fra Q_1 .

Anta at transistorene i inverteren har de størrelsene som er oppgitt i figuren, slik at terskelspenningen blir $V_{DD}/2 = 2,5 \text{ V}$ (dvs. $W_5/W_4 = \mu_n/\mu_p$), og at alle transistorlengder er på $0,8 \mu\text{m}$. Anta dessuten at forsterkningen til inverteren er lik -24 ved $V_{out} = 2,5 \text{ V}$, og se bort fra overlappkapasitansen. Ta hensyn til bodyeffekten.

Anta følgende transistorparametre:

$$V_{m0} = 0,8 \text{ V}$$

$$V_{tp0} = -0,9 \text{ V}$$

$$\mu_n C_{ox} = 92 \mu\text{A}/\text{V}^2$$

$$\mu_p C_{ox} = 30 \mu\text{A}/\text{V}^2$$

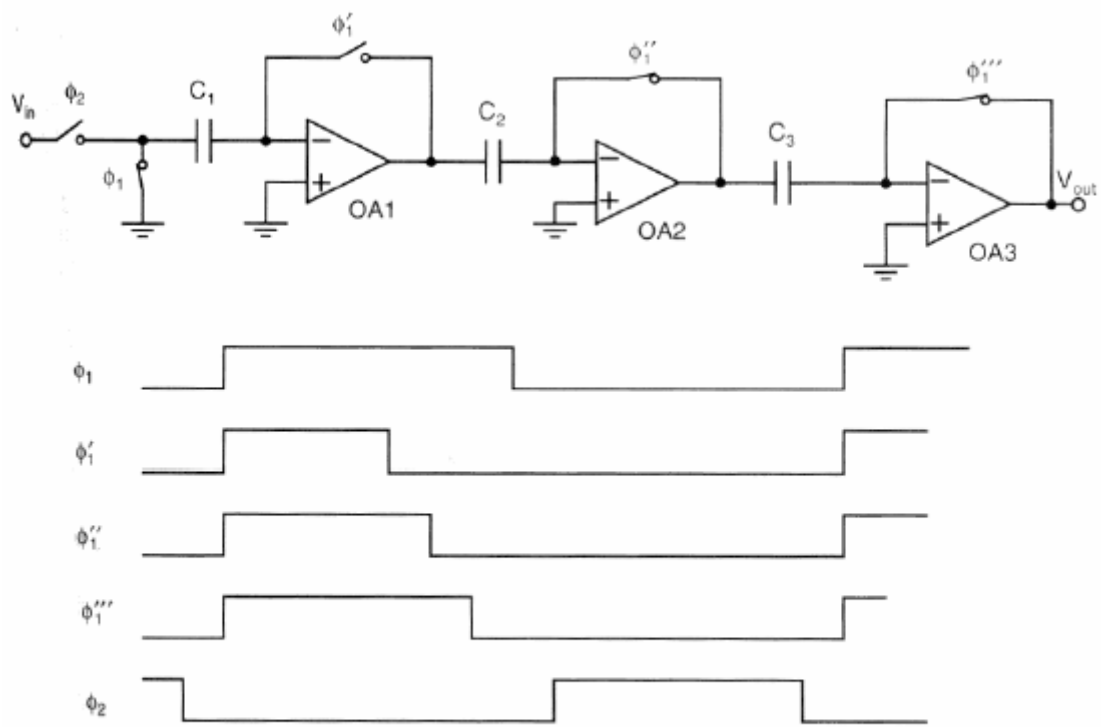
$$C_{ox} = 1,9 \cdot 10^{-3} \text{ pF}/(\mu\text{m})^2$$

$$\phi_F \approx 0,35$$

$$\gamma = 0,5 \text{ V}^{-1/2} \text{ for n - mos og } 0,8 \text{ V}^{-1/2} \text{ for p - mos}$$

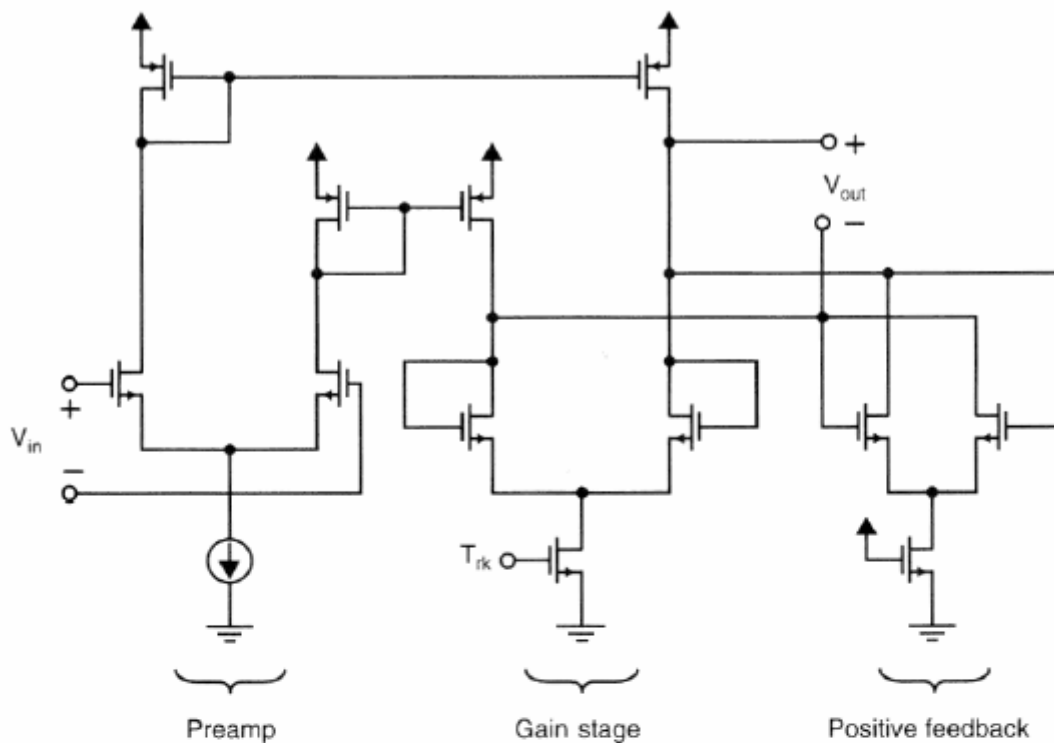
$$r_{ds} (\Omega) = \frac{8000 \cdot L(\mu\text{m})}{I_D (\text{mA})} \text{ for n - mos og } \frac{12000 \cdot L(\mu\text{m})}{I_D (\text{mA})}$$

- Hva blir forandringa i V_{out} som følge av ladningsinjeksjon?
- Anta at det brukes en kjede med tre kaskadekoblede invertere av samme type som før, slik som vist i figuren under. Offset – feilene som oppstår på de to første inverternes innganger på grunn av ladningsinjeksjon vil da kansellere hverandre. Hvor stor blir offsetfeilen pga. ladningsinjeksjon fra resetsvitsjen til det siste trinnet når feilen refereres til inngangen til kjeden?



- c) Estimer tidskonstanten til den enkle inverteren gjennom resetfasen. Gjør det samme for den fasen der sammenligninga blir utført.

Oppgave 2



Anta følgende parametre for track and latch – komparatoren:

$$\mu_n C_{ox} = 92 \mu\text{A}/\text{V}^2$$

$$\mu_p C_{ox} = 30 \mu\text{A}/\text{V}^2$$

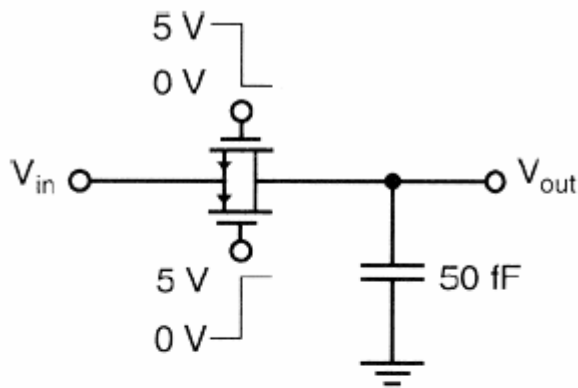
$$C_j = 2,4 \cdot 10^{-4} \text{ pF}/(\mu\text{m})^2 \text{ for n – mos og } 4,5 \cdot 10^{-4} \text{ pF}/(\mu\text{m})^2 \text{ for p – mos}$$

$$C_{j-sw} = 2,0 \cdot 10^{-4} \text{ pF}/\mu\text{m} \text{ for n – mos og } 2,5 \cdot 10^{-4} \text{ pF}/\mu\text{m} \text{ for p – mos}$$

$$C_{ox} = 1,9 \cdot 10^{-3} \text{ pF}/(\mu\text{m})^2$$

- Finn fornuftige transistorbredder til latch and track – komparatoren, slik at det første trinnet får forsterkning på 5, og latch and track – trinnet får forsterkning på 10 i track – modus og en sløyfeforsterkning på 4 i latch – modus. Anta at inngangstransistorene er $25 \mu\text{m}$ breie og at forspenningsstrømmen til det første steget er på $0,1 \text{ mA}$. Alle transistorlengder er $0,8 \mu\text{m}$.
- Estimer den ekvivalente tidskonstanten når komparatoren er i track – modus. Bruk lambda – reglene fra kapittel 2 for å finne de kapasitansene du trenger. Anta at inngangsspenninga forandrer seg fra 0 til 5 mV ved tida t_0 . Hvor lang tid tar det for den differensielle utgangsspenningen forandrer seg med 50 mV ?
- Estimer den ekvivalente tidskonstanten når komparatoren er i latch – modus. Hvor lenge går det for den differensielle utgangsspenningen blir 2 V når den er på 50 mV i det latch – fasen begynner?

Oppgave 3



Figuren viser en CMOS svitsj som har en inngangsspenning på 2,5 V i det den blir slått av. W/L er $5 \mu\text{m}/0,8 \mu\text{m}$ for n – transistoren og $15 \mu\text{m}/0,8 \mu\text{m}$ for p – transistoren. Anta at den totale parasittiske kapasitansen mellom utgangsnoden og jord er på 50 fF, at V_{DD} er 5 V og at klokkesignalene endrer verdi svært raskt. Se dessuten bort fra forandringer på grunn av overlappskapasitanser.

Estimer forandringa i utgangsspenningen på grunn av ladningsinjeksjon. Hva blir den endelige utgangsspenningen?

Anta følgende parameterverdier:

$$V_{m0} = 0,8\text{V}$$

$$V_{tp0} = -0,9\text{V}$$

$$C_{ox} = 1,9 \cdot 10^{-3} \text{ pF}/(\mu\text{m})^2$$

$$\phi_F \approx 0,35$$

$$\gamma = 0,5 \text{ V}^{-1/2} \text{ for n – mos og } 0,8 \text{ V}^{-1/2} \text{ for p – mos}$$