

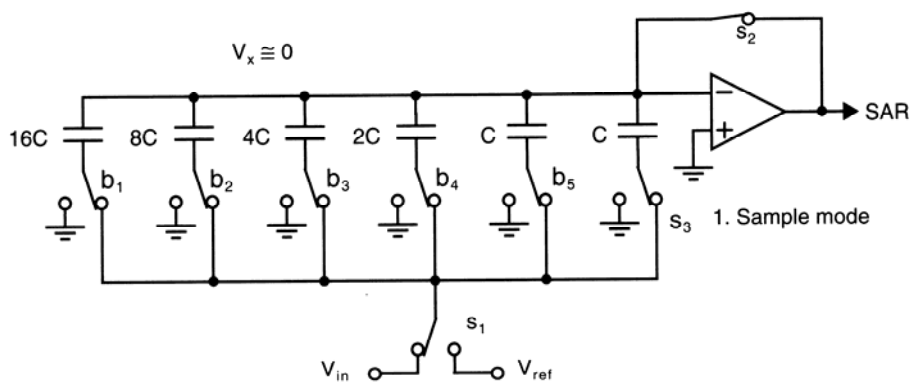
TFE4186 Analog CMOS 1

Øving 8

Oppgave 1 (Problem 13.9)

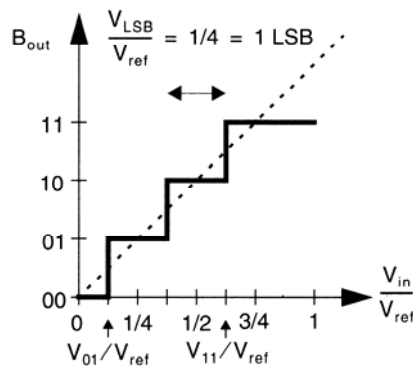
Du skal lage en 4-bits suksessiv approksimasjons A/D omformer basert på ladning-omfordeling (se figur eks på 5-bits A/D omformer nedenfor). $V_{ref} = 8V$. Parasittkapasitans på $8C$ er koblet mellom V_x og jord. Finn verdiene på V_x og det binære tallet som fremkommer etterhvert som omformingens skrider frem når $V_{in} = 3.3333V$

Blir den digitale verdien påvirket av parasittkapasitansen?



Oppgave 2 (Problem 13.10)

Figuren under viser den korrekte transferfunksjonen til en A/D omformer (ideell=1/2 LSB terskeloffset) Vis ved å designe om kapasitansnettverket for den 5-bits A/D omformereren i figuren over, at den korrekte transferfunksjon kan oppnås.



Oppgave 3 (Problem 13.14)

Hvis vi antar at på-motstanden i en CMOS svitsj er $1 \text{ k}\Omega$, estimer den tiden det tar for en 12-bits suksessiv approksimasjons A/D omformereren (slik som i oppgave 1) å komme til ro når den totale kapasitansen er 128 pF .

Oppgave 4 (Problem 13.22)

Hvis vi antar at inngangskapasitansen for et differensielt trinn er den samme for en flash omformer som for en folding/interpolerende omformer. Hvilken reduksjon i inngangskapasitans oppnås ved å bruke en 8 bits folding/interpolerende A/D omformer med fire foldingsblokker hver med en foldingsrate på 8 kontra å bruke en 8 bits flash A/D omformer?

Hvis vi bruker en interpolerende A/D omformer i stedet for en folding/interpolerende A/D omformer slik at reduksjonen i inngangs kapasitans blir den samme sammenlignet med flash omformeren, hvor mange motstander trengs det mellom ”inngangs komparatorene”?